



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tamio IKEHASHI

GAU:

SERIAL NO: 10/617,391

EXAMINER:

FILED: July 11, 2003

FOR: SEMICONDUCTOR MEMORY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
JAPAN

APPLICATION NUMBER
2003-132090

MONTH/DAY/YEAR
May 9, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

10/617,391

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 5月 9日

出 願 番 号
Application Number:

特願2003-132090

[ST.10/C]:

[JP2003-132090]

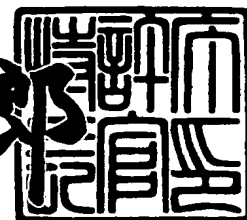
出 願 人
Applicant(s):

株式会社東芝

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3049438

【書類名】 特許願

【整理番号】 03P032

【提出日】 平成15年 5月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体記憶装置

【請求項の数】 16

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 池橋 民雄

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100092820

 【弁理士】

 【氏名又は名称】 伊丹 勝

 【電話番号】 03-5216-2501

【手数料の表示】

 【予納台帳番号】 026893

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 絶縁層により下地基板と分離された半導体層を有する素子基板と、

前記素子基板の半導体層に配列形成された複数のメモリセルを有し、各メモリセルは電氣的にフローティング状態のボディを持つ MOS トランジスタ構造を有し、そのボディの多数キャリア蓄積状態によりデータを記憶するメモリセルアレイと、

前記メモリセルアレイのデータ読み出しを行うための、読み出し時選択されたメモリセルの電流増幅を行うバイポーラトランジスタを含むセンスアンプ回路と、
を有することを特徴とする半導体記憶装置。

【請求項 2】 前記センスアンプ回路は、前記バイポーラトランジスタを含むプリセンスアンプと、その出力を増幅するメインセンスアンプとを有することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記プリセンスアンプのバイポーラトランジスタは、前記素子基板の半導体層に形成されたラテラルトランジスタであり、そのコレクタは接地され、ベースは対応するメモリセルのドレインに接続され、エミッタは前記メインセンスアンプに接続される
ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記ラテラルトランジスタは、読み出し時の動作電流範囲内で、ベース電流が増加するにつれて電流増幅率が増加する特性を有することを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】 前記プリセンスアンプは、読み出し時に前記ラテラルトランジスタのベースと対応するメモリセルのドレインとの間を接続するための第 1 の転送ゲートと、書き込み時に書き込みデータを前記ラテラルトランジスタを介さずに対応するメモリセルのドレインに転送するための第 2 の転送ゲートとを有する

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 6】 前記第 1 及び第 2 の転送ゲートは、MOS トランジスタである

ことを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 前記プリセンスアンプと前記メモリセルアレイの間に、前記メモリセルアレイの複数のビット線のなかの一つを選択して前記プリセンスアンプに接続するビット線セレクタが配置されている

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 8】 前記メインセンスアンプは、

一方の入力端子をセルデータが転送されるセンスノード、他方の入力端子をデータセンス用参照電圧が与えられる参照ノードとするオペアンプと、

前記センスノードに接続された第 1 の電流源負荷と、

前記参照ノードに接続された第 2 の電流源負荷を含んで構成された、前記データセンス用参照電圧を発生するための第 1 の参照電圧発生回路と、

読み出し時、前記センスノードに接続される前記メモリセルアレイのビット線の電圧をクランプするためのクランプ回路とを有する

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 9】 前記メインセンスアンプは更に、前記オペアンプの出力端子に接続されて読み出しデータを保持するためのデータラッチを有する

ことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】 前記データラッチは、書き込みデータを一時保持するために用いられる

ことを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 11】 前記クランプ回路は、前記センスノードと前記メモリセルアレイのビット線との間に介在させたクランプ用 MOS トランジスタと、

一方の入力端子に前記クランプ用 MOS トランジスタのソース電圧が帰還入力され、他方の入力端子にクランプ用参照電圧が入力されて、その出力により前記クランプ用 MOS トランジスタのゲートを駆動するオペアンプと、

前記クランプ用参照電圧を発生する第 2 の参照電圧発生回路とを有する

ことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 1 2】 前記第 2 の参照電圧発生回路は、

カソードに、読み出し時メモリセルのドレインに与えられるべき読み出し電圧が与えられたダイオードと、このダイオードのアノードに接続された電流源負荷とを備えて、前記読み出し電圧に前記ダイオードの順方向電圧降下を加えたクランプ用参照電圧を発生する

ことを特徴とする請求項 1 1 記載の半導体記憶装置。

【請求項 1 3】 前記第 1 の参照電圧発生回路は、

それぞれデータ“0”，“1”が書かれる二つの参照メモリセルと、

これらの各参照メモリセルと前記参照ノードの間にそれぞれ配置された参照ブリセンスアンプ及び参照クランプ回路とを有し且つ、

前記第 2 の電流源負荷が前記第 1 の電流源負荷の 2 倍の電流駆動能力を持つことを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 1 4】 前記メモリセルアレイのメモリセルのゲートに接続されたワード線を駆動するための、バイポーラトランジスタを用いて構成されたワード線ドライバを有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 1 5】 前記ワード線ドライバは、前記素子基板の半導体層に形成されたプルアップ用ラテラルトランジスタとプルダウン用ラテラルトランジスタを有する

ことを特徴とする請求項 1 4 記載の半導体記憶装置。

【請求項 1 6】 前記ワード線ドライバは更に、前記プルアップ用ラテラルトランジスタのコレクタ・ベース間に介在させた PMOS トランジスタと、この PMOS トランジスタとゲートが共通接続されて前記プルダウン用ラテラルトランジスタのコレクタ・ベース間に介在させた NMOS トランジスタとを有することを特徴とする請求項 1 5 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、S O I 基板に形成された 1 トランジスタ / 1 セル構造のメモリセルを持つ半導体記憶装置に関する。

【 0 0 0 2 】

【従来の技術】

最近、従来の D R A M 代替を目的として、より単純なセル構造でダイナミック記憶を可能とした半導体メモリが提案されている（非特許文献 1 参照）。メモリセルは、S O I 基板に形成されたフローティングのボディ（チャンネルボディ）を持つ一つのトランジスタにより構成される。このメモリセルは、ボディに過剰の多数キャリアが蓄積された状態を第 1 データ状態（例えば、データ “ 1 ”）、ボディから過剰の多数キャリアが放出された状態を第 2 データ状態（例えば、データ “ 0 ”）として、二値記憶を行う。

【 0 0 0 3 】

以下、このようなメモリセルを “ F B C (Floating Body Cell) ” といい、F B C を用いた半導体メモリを “ F B C メモリ ” という。F B C メモリは、通常の D R A M のようにキャパシタを用いないから、メモリセルアレイの構造が単純であり、単位セル面積が小さく、従って高集積化が容易であるという長所を持つ。

【 0 0 0 4 】

F B C メモリのデータ “ 1 ” の書き込みには、メモリセルのドレイン近傍でのインパクトイオン化を利用する。即ち、メモリセルに大きなチャンネル電流が流れるバイアス条件を与えて、インパクトイオン化により発生する多数キャリアをボディに蓄積する。データ “ 0 ” 書き込みは、ドレインとボディの間の P N 接合を順バイアス状態として、ボディの多数キャリアをドレイン側に放出させることにより行われる。

【 0 0 0 5 】

ボディのキャリア蓄積状態の相違は、トランジスタのしきい値の相違として現れる。従ってある読み出し電圧をゲートに与えて、セル電流の有無又は大小を検出することにより、データ “ 0 ” , “ 1 ” をセンスすることができる。ボディの過剰の多数キャリアは、長時間放置すると、ソース、ドレインとの間の P N 接合を介して抜ける。従って、D R A M と同様に一定周期でリフレッシュ動作を行う

ことが必要である。

【0006】

FBCメモリの特性改善のために、メモリセルの主ゲートとは別に、ボディに容量結合する補助ゲートを設けることも提案されている（特許文献1及び特許文献2参照）。

【0007】

SOI基板に横型バイポーラトランジスタを形成する技術は、知られている（非特許文献2参照）。

バルク半導体を用いた半導体メモリにおいて、高速読み出しのためにセンスアンプ回路にバイポーラトランジスタを用いる技術は知られている（特許文献3-6参照）。ビット線セレクトにバイポーラトランジスタを用いる技術も知られている（特許文献7参照）。

【0008】

【非特許文献1】

T.Ohsawa et al., "Memory Design Using One-Transistor Gain Cell on SOI", ISSCC Digest of Technical Papers, pp152-153, 2002

【非特許文献2】

IEEE Transactions on Electronic Devices, Vol.49, No.3, March, 2002, p414-421

【0009】

【特許文献1】

特開2002-246571号公報

【特許文献2】

特開2003-31693号公報

【特許文献3】

米国特許第4,658,159号明細書

【特許文献4】

米国特許第5,287,314号明細書

【特許文献5】

米国特許第 5, 2 6 5, 0 6 0 号明細書

【特許文献 6】

米国特許第 4, 8 3 9, 8 6 2 号明細書

【特許文献 7】

米国特許第 5, 3 7 1, 7 0 3 号明細書

【0 0 1 0】

【発明が解決しようとする課題】

FBCメモリでは、データ読み出し時と“1”データ書き込み時とで同様のバイアス関係が用いられる。従って読み出し時には、誤書き込みが生じないように、言い換えれば選択メモリセルでインパクトイオン化が生じないように、選択メモリセルのドレイン電圧を“1”書き込み時のそれより低くすることが必要である。このため、データ読み出し時に大きなセル電流を流すこと、従って高いセンス感度を得ることが容易ではない。大きなセル電流を流すことができれば、メモリセルのドレインに接続されるビット線の充放電に時間がかかり、高速読み出しができなくなる。

FBCメモリの高速読み出しを実現するためには、メモリセルのゲートを駆動するワード線の立ち上がり、立ち下がり的高速化も必要である。言い換えれば、ワード線を駆動するロウデコーダにも大きな駆動能力が要求される。

【0 0 1 1】

この発明は、SOI基板に形成された1トランジスタ/1セル構造のメモリセルを持つ、高速読み出しが可能な半導体記憶装置を提供することを目的としている。

【0 0 1 2】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、絶縁層により下地基板と分離された半導体層を有する素子基板と、前記素子基板の半導体層に配列形成された複数のメモリセルを有し、各メモリセルは電氣的にフローティング状態のボディを持つMOSトランジスタ構造を有し、そのボディの多数キャリア蓄積状態によりデータを記憶するメモリセルアレイと、前記メモリセルアレイのデータ読み出しを行うため

の、読み出し時選択されたメモリセルの電流増幅を行うバイポーラトランジスタを含むセンスアンプ回路とを有することを特徴とする。

【 0 0 1 3 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

最初に、この発明の実施の形態による F B C メモリのメモリセルアレイの構成を説明する。図 1 2 はメモリセルアレイの平面図であり、図 1 3 , 図 1 4 及び図 1 5 はそれぞれ、図 1 2 の I - I' , II - II' 及び III - III' 断面図を示している。

【 0 0 1 4 】

P 型シリコン基板 1 0 の表面に N^+ 型層 1 1 が形成され、その表面はシリコン酸化膜等の絶縁層 1 2 で覆われている。この絶縁層 1 2 上に、これにより基板 1 0 とは分離された活性層となる P 型シリコン層 1 3 が形成されている。この様な S O I 基板のシリコン層 1 3 に、ゲート電極 1 5 と、N 型ソース、ドレイン拡散層 1 6 a , 1 6 b とが形成されて、フローティングのボディを持つ N チャンネル M O S トランジスタからなるメモリセル MC が構成される。

【 0 0 1 5 】

シリコン層 1 3 は、後に形成されるビット線 (B L) 1 9 と同様に、複数本のストライプ状にパターニングされ、その周囲は層間絶縁膜 1 4 で埋められる。この様なストライプパターンの各シリコン層 1 3 に、複数のメモリセルが隣接するもの同士でソース、ドレイン拡散層 1 6 a , 1 6 b を共有するように配列される。ゲート電極 1 5 は、ビット線 (B L) 1 9 と交差する方向に並ぶ複数のメモリセル MC にまたがって連続するパターンとして形成されて、ワード線 W L となる。メモリセルのソース拡散層 1 6 a は、ワード線と並行するソース線 (S L) 2 1 に共通接続される。セルアレイ上は層間絶縁膜 1 7 で覆われ、この上にビット線 1 9 が配設される。ビット線 1 9 は、コンタクトプラグ 1 8 を介して各メモリセル MC のドレイン拡散層 1 6 b に接続される。

【 0 0 1 6 】

絶縁膜 1 2 , 1 4 には、各ビット線 1 9 間のスペースに位置するように、多結

晶シリコンのピラー 2 0 が埋め込まれている。ピラー 2 0 は、絶縁膜 1 2 を貫通して、下端が N^+ 型シリコン層 1 1 にコンタクトし、上端部は絶縁膜 1 4 内に位置して、各メモリセルMCのボディ下端部に容量結合する。このピラー 2 0 は、メモリセルのボディの電位を制御する補助ゲートの働きをする。例えば、シリコン層 1 1 を介してピラー 2 0 に負電圧を与えることにより、メモリセルMCのボディのホール蓄積状態（データ “1” 状態）を長時間維持することが可能になる。

【 0 0 1 7 】

この様にして、図 1 6 に示すようにメモリセルMCがマトリクス配列されたメモリセルアレイが得られる。メモリセルMCは一つのトランジスタにより構成されるから、単位セル面積は図 1 2 に破線で示したように小さい。従って、高密度集積化が可能である。

【 0 0 1 8 】

次にFBCメモリの動作原理を、図 1 7 ～図 2 0 を参照して説明する。ソース線SLは、常時接地電位GNDである。データ “1” 書き込みには、選択ワード線と選択ビット線に、これにより選択されるメモリセルが5極管領域で動作する電圧を与える。例えば図 1 7 に示すように、選択ワード線WLに1.5V、選択ビット線BLに1.5Vを与える。これにより選択メモリセルは、5極管領域（電流飽和領域）で動作し、チャネル電流が流れると同時に、ドレイン近傍でインパクトイオン化が生じる。インパクトイオン化の結果生成される多数キャリアであるホールは、ボディの下方に移動し、蓄積される。このボディの過剰ホール蓄積状態が、データ “1” である。

【 0 0 1 9 】

データ “0” 書き込みには、メモリセルのドレインとボディ間のPN接合の順バイアス電流を利用する。例えば図 1 8 に示すように、選択ワード線WLに1.5Vを与えた状態で、選択ビット線BLに-1Vを与える。これにより選択メモリセルのボディのホールは、順バイアスされたPN接合を介してビット線BLに抜ける。こうして得られる、ボディに過剰ホールがない状態がデータ “0” である。

【 0 0 2 0 】

データ書き込み後、ワード線WLに負の保持電圧、例えば-1.5Vを与えることにより、データは保持される。データ読み出しは、メモリセルをインパクトイオン化が生じない程度のオン状態にバイアスして、セル電流を検出することにより、行われる。例えば図19に示すように、選択ワード線WLに1.5Vを与え、選択ビット線BLに0.2Vを与える。これにより、メモリセルは3極管動作領域（線形領域）のオン状態になる。データ“0”，“1”に応じて異なるボディのホール蓄積状態は、バックバイアスの相違、従ってメモリセルのしきい値の相違となる。従ってメモリセルの電流特性は、図20に示すようにデータ“0”，“1”で異なり、両者のセル電流の差 ΔI_{ds} を検出することで、データ“0”，“1”が判別できる。

【 0 0 2 1 】

データ読み出し時は、インパクトイオン化が起こらない線形領域を利用することで、選択メモリセルでのデータ破壊が防止される。非選択メモリセルは、ワード線WLを-1.5V、ビット線BLを0Vに保持することで、データ破壊が生じない。

【 0 0 2 2 】

次に、この実施の形態によるFBCメモリのチップ100の構成を図21に示す。メモリセルアレイ101は好ましくは、複数のビット線の範囲毎にセルユニットを構成する。各セルユニットのビット線BLは、ビット線セレクタ（BLS）102により選択される。FBCメモリは、DRAM代替を目的としているので、DRAMと同様に、カラムアドレスストローブ/CAS，ロウアドレスストローブ/RASにより制御されるアドレス多重化を利用する。ロウアドレス信号は、ロウアドレスバッファ106により取り出されて、プリデコーダ107を介してロウデコーダ105に供給される。ロウデコーダ105は、ロウアドレス信号に応じてメモリセルアレイ101のワード線WL選択を行う。カラムアドレス信号は、カラムアドレスバッファ108により取り出されて、ビット線セレクタ102に供給され、ビット線選択を行う。

【 0 0 2 3 】

ビット線セクタ 1 0 2 により選択されたビット線 B L は、プリセンスアンプ (P S A) 1 0 3 を介して、メインセンスアンプ (M S A) 1 0 4 に接続されている。この実施の形態ではこの様に、センスアンプ回路を、セルアレイ 1 0 1 近くに配置されたプリセンスアンプ 1 0 3 と、その出力を増幅するメインセンスアンプ 1 0 4 により構成し、更にプリセンスアンプ 1 0 3 をパイポーラトランジスタにより構成することが、特徴である。その詳細は後述する。なお図 2 1 では、プリセンスアンプ 1 0 3 とメインセンスアンプ 1 0 4 が 1 : 1 に対応しているが、複数のプリセンスアンプ 1 0 3 が一つのメインセンスアンプ 1 0 4 を共有する構成とすることもできる。

【 0 0 2 4 】

書き込みデータは、データ入力パッド D i n から、入力バッファ 1 0 9 を介して書き込みデータ線 D に供給される。データ線 D の書き込みデータは、メインセンスアンプ 1 0 4 , プリセンスアンプ 1 0 3 を介し、ビット線セクタ 1 0 2 により選択されたビット線 B L に与えられる。読み出しデータは、読み出しデータ線 Q , / Q を介し、出力バッファ 1 1 0 , オフチップドライバ 1 1 1 を介して、データ出力パッド D o u t に出力される。

メモリチップ 1 0 0 にはこのほか、種々の制御信号を発生するコントローラ 1 1 2 , 種々の内部電圧を発生する電圧発生回路 1 1 3 が設けられる。

【 0 0 2 5 】

次にこの実施の形態の F B C メモリにおけるセンス回路系の具体的な構成を、図 1 を参照して説明する。図 1 では具体的に、メモリセルアレイ 1 0 1 が、メインビット線 M B L に複数のサブビット線 S B L が従属する方式を示している。更に、サブビット線 S B L の複数本ずつがセルユニット M U i (i = 1 , … , n) を構成し、複数のセルユニットが一本のメインビット線 M B L を共有する。センスアンプ回路は、各セルユニット M U i 毎に配置されて、ビット線セクタ 1 0 2 により選択的にサブビット線 S B L に接続されるプリセンスアンプ 1 0 3 と、メインビット線 M B L に接続されるメインセンスアンプ 1 0 4 により構成される。

【0026】

メインセンスアンプ104は、メインビット線MBLにクランプ回路44を介して接続されるセンスノードN1と、参照電圧VSARが与えられる参照ノードN2の間の差電圧を増幅するオペアンプ41を有する。センスノードN1は、ダイオード接続された負荷PMOSトランジスタMP1を介し、センスアンプ活性化用スイッチSW4を介して電源端子Vccに接続される。負荷PMOSトランジスタMP1に代わって抵抗素子を用いることもできる。参照ノードN2に与える参照電圧VSARは、センスノードN1に得られるデータ“1”，“0”の読み出し電圧の中間電圧値である。この参照電圧VSARの発生回路については、後に説明する。

【0027】

クランプ回路44は、読み出し時に選択メモリセルのドレインに与えられる電圧値を設定するために、メインビット線MBLの電圧をクランプするためのもので、センスノードN1とメインビット線MBLの間に挿入されたクランプ用NMOSトランジスタMN3と、メインビット線MBLの電圧を帰還してトランジスタMN3のゲートを制御するオペアンプ42により構成される。オペアンプ42の参照入力端子には、参照電圧VBLR2が与えられ、これにより読み出し時のメインビット線MBLの電圧は、VBLR2に設定される。

【0028】

オペアンプ41の出力端子には、読み出しデータ及び書き込みデータを保持するためのデータラッチ43が接続されている。データラッチ43のノードは、読み出し時はスイッチSW2を介して読み出し用データ線Q、 \bar{Q} に接続される。データラッチ43のノードはまた、書き込みデータ転送時は、スイッチSW1、SW3を介して、書き込み用データ線Dに接続される。書き込み動作時は、データラッチ43にロードされた書き込みデータがスイッチSW3を介して、メインデータ線MBLに転送され、更にプリセンスアンプ103を介して選択されたサブビット線SBLに転送される。

【0029】

この実施の形態では上述のように、書き込みデータを一旦メインセンスアンプ

104内のデータラッチ43にロードするようにしている。しかしこれに限られるわけではない。例えばデータ線Dに供給される書き込みデータを、データラッチ43を介さず直接にメインデータ線MBLに与えるようにしてもよい。

【0030】

各セルユニットMU_i毎に配置されたプリセンスアンプ103は、PNPパイポーラトランジスタQPを用いて構成される。このセンス用トランジスタQPは、コレクタが接地され、エミッタがメインビット線MBLに接続され、ベースは読み出し用転送ゲートであるNMOSTランジスタMN1を介してビット線セレクタ102の端子N3に接続される。NMOSTランジスタMN1は、読み出し時、選択信号RS_i ($i = 1, \dots, n$)により選択的に駆動されてオンになる。トランジスタQPのエミッタと端子N3の間には、書き込み時にメインビット線MBLに供給される書き込みデータをトランジスタQPを介さずにサブビット線SBLに転送するための転送ゲートであるNMOSTランジスタMN2が設けられている。このNMOSTランジスタMN2は、書き込み時、選択信号WS_i ($i = 1, \dots, n$)により選択的に駆動されて、オンになる。従って、NMOSTランジスタMN1, MN2は、セルユニットを選択する選択ゲートの働きをすることになる。

【0031】

プリセンスアンプ103のセンス用トランジスタQPは、SOI基板のシリコン層13にラテラルトランジスタとして構成される。図6は、このトランジスタQPと、選択NMOSTランジスタMN1がSOI基板のシリコン層13に形成された状態を示している。図1のセンスアンプ回路方式は、ラテラルトランジスタQPを、メモリセルアレイ101のサブビット線SBLのピッチ内に形成することが難しい場合を想定している。このために、セルユニットMU_i毎にプリセンスアンプ103を配置している。トランジスタQPをサブビット線SBLのピッチに配置することができるのであれば、ビット線セレクタ102を用いることなく、各サブビット線SBL毎にプリセンスアンプ103を配置してもよい。

【0032】

次に、この様に構成されたセンスアンプ回路を用いたデータ読み出し動作を、

図5を参照して説明する。図5は、ビット線セクタ102により選択された一つのサブビット線SBLが、プリセンスアンプ103のトランジスタQPを介してメインビット線MBLに接続される状態を示している。選択されたメモリセルのセル電流 I_{cell} は、トランジスタQPにより増幅され、その増幅電流によりメインビット線MBLが放電される。これにより、クランプ用NMOSトランジスタMN3を介してメインビット線MBLに接続されているセンスノードN1には、セル電流に応じた電圧が得られる。オペアンプ41は、センスノードN1の電圧を、参照ノードN2に与えられている参照電圧 V_{SAR} との比較によりセンスする。

【0033】

更に具体的に説明する。図5に示すように、セル電流を I_{cell} 、トランジスタQPのエミッタ接地増幅率を h_{FE} とすると、トランジスタQPのエミッタ電流 I_e は、下記数1で表される。

【0034】

【数1】

$$I_e = (h_{FE} + 1) I_{cell}$$

【0035】

メインビット線MBLからセンスノードN1までの容量は、このエミッタ電流 I_e により充放電されるから、データセンス開始からセンスノードN1の電圧が確定するまで時間は、セル電流 I_{cell} により充放電される場合に比べて、短縮される。しかも、メインビット線電流が増えることにより、センスノードN1の電圧振幅も増大し、この結果センス感度が向上する。例えば、負荷PMOSトランジスタMP1が、抵抗値 R_L の線形抵抗で近似できるものとする、センスノードN1の電圧 V_{N1} は、電源電圧を V_{cc} として、次の数2で表される。

【0036】

【数2】

$$V_{N1} = V_{cc} - (h_{FE} + 1) I_{cell} \cdot R_L$$

【0037】

セルデータが“1”，“0”のときのセル電流 I_{cell} をそれぞれ、 I_1 ， I_0 と

して、データ“1”が読み出されたときとデータ“0”が読み出されたときのセンスノードN1の電圧差 ΔV_{N1} は、下記数3となる。

【0038】

【数3】

$$\Delta V_{N1} = (h_{FE} + 1) (I1 - I0) R_L$$

【0039】

数3から、バイポーラトランジスタQPの増幅効果により、センス感度が向上することが分かる。また、バイポーラトランジスタは、MOSトランジスタと異なりゲートを持たないから、ゲートに起因するばらつきがない分、MOSトランジスタよりも素子特性のばらつきが少ない。この点でも、バイポーラトランジスタを用いると、センス感度の向上が図られる。

【0040】

プリセンスアンプにバイポーラトランジスタを用いると、図5に示したように、コレクタ電流 I_c が流れるから、それだけ消費電力（即ち単位時間当たりの消費エネルギー）が大きくなる。しかし、バイポーラトランジスタを用いることにより、読み出し時間を減らすことができるから、読み出しサイクル当たりの消費電力がそれほど大きく増大することはない。

【0041】

電流増幅率 h_{FE} は、実際には電流に依存するが、その電流依存性はプロセス条件により調整することができる。センス感度をより向上させるためには、図7に示すように、読み出し動作条件下での h_{FE} の増加率 $d h_{FE} / d I_{cell}$ が正になるように、トランジスタ特性を調整する。これにより、セル電流 I_{cell} の大小がセンスノードN1で更に増幅されるため、センス感度がより向上する。

【0042】

図19に示したように、読み出し時、選択ワード線に与える電圧を1.5Vとして、選択メモリセルのドレインに与える電圧を $V_{BLR} = 0.2V$ とする。トランジスタQPのベース・エミッタ間には、 $V_f = 0.6V$ 程度の順方向電圧降下があるので、メインビット線MBLの電圧は、 $0.2 + 0.6 = 0.8V$ に設定することが必要である。この読み出し時のメインビット線MBLの電圧を決め

ているのは、NMOSトランジスタMN3を用いたクランプ回路44である。クランプ回路44のオペアンプ42に入力される参照電圧 V_{BLR2} がメインビット線MBLのクランプ電圧であり、従って、 $V_{BLR2} = 0.8V$ にする。

【0043】

ところで、トランジスタQPのベース・エミッタ間の順方向電圧降下 V_f は、温度依存性を持つ。そこで、選択メモリセルのドレインに与えられる読み出し電圧 V_{BLR} を温度に依らず、 $0.2V$ に設定するためには、参照電圧 V_{BLR2} の発生回路にも工夫が必要である。図8は、クランプ回路44に適用される好ましい参照電圧発生回路120の構成を示している。この参照電圧発生回路120は、カソードに読み出しドレイン電圧 V_{BLR} が与えられたダイオード D_i と、そのアノードに接続された電流源負荷である抵抗 R とから構成される。

【0044】

ダイオード D_i の順方向電圧降下を V_f として、抵抗 R とダイオード D_i の接続ノードから出力される参照電圧 V_{BLR2} は、 $V_{BLR2} = V_{BLR} + V_f$ となる。ダイオード D_i とトランジスタQPのベース・エミッタ接合の順方向降下電圧は同じ温度依存性を持つから、結局選択セルのドレインに与えられる読み出し電圧は、温度によらず、 $V_{BLR} = 0.2V$ とすることができる。

【0045】

次にデータ書き込み動作を説明する。データ書き込み時は、書き込み用データ線Dを介してメインセンスアンプ104のラッチ回路43にロードしたデータを、選択されたサブビット線まで転送する。このとき、ラッチ回路43の書き込みデータは、クランプ回路44を通さず、メインビット線MBLに供給され、サブセンスアンプ103を介してサブビット線SBLに与えられる。

【0046】

サブビット線SBLに転送される電圧は、データ“1”，“0”に応じてそれぞれ、 $1.5V$ ， $-1V$ である（図17及び図18参照）。これらの書き込みデータレベルは、データラッチ43の高レベル側、低レベル側電源電圧の設定により得られる。しかし、サブセンスアンプ103は、PNPトランジスタQPを用いており、これを通してメインビット線MBLからサブビット線SBLに負電圧

を転送することはできない。トランジスタQ Pのエミッタ・ベース間が逆バイアスとなるためである。一方、トランジスタQ Pを通してサブビット線に $1.5V$ を転送することは、メインビット線MB Lの電圧を $1.5V + V_f$ にすれば、可能である。しかしその場合には、トランジスタQ Pのエミッタからコレクタに無駄な貫通電流が流れる。これは消費電力の点から好ましくない。

【 0 0 4 7 】

そこでこの実施の形態では、トランジスタQ Pのエミッタから端子N 3に書き込みデータをバイパスさせるためのNMOSトランジスタMN 2を設けている。このNMOSトランジスタMN 2は、書き込み時、選択信号W S iにより選択的にオンとされる。書き込み時、NMOSトランジスタMN 1はオフにすることにより、バイポーラトランジスタQ Pにはベース電流が流れず、エミッタ・コレクタ間の貫通電流も流れない。この様にして、書き込みデータを選択されたサブビット線に転送して、データ書き込みを行うことができる。

【 0 0 4 8 】

図9は、メインセンスアンプ1 0 4に用いられる参照電圧V S A Rを発生するための参照電圧発生回路1 3 0の構成を示している。参照電圧V S A Rは、読み出しデータ“1”，“0”のときにセンスノードN 1に得られる電圧の中間値であることが必要である。そのためにこの実施の形態では、参照電圧発生回路1 3 0に、データ“1”を書き込む参照メモリセルRMC 1とデータ“0”を書き込む参照メモリセルRMC 0の二つが用いられる。参照電圧発生回路1 3 0は、この二つの参照セルRMC 1，RMC 0のセル電流I 1，I 0を合成することにより参照電圧V S A Rを生成する。図9では、二つのセルユニットMUのセンスアンプ回路が参照電圧発生回路1 3 0を共有する例を示しているが、更にこの参照電圧発生回路1 3 0をより多くのセンスアンプ回路が共有するように構成することが可能である。

【 0 0 4 9 】

参照セルRMC 1，RMC 0は、セルユニットMU内のメモリセルMCと同じ構造を有し、同じワード線W Lにより同時に駆動される。参照セルRMC 1，RMC 0が接続される参照サブビット線R S B L a，R S B L bはそれぞれ、ダミ

ーセレクトゲート102a, 102bを介し、参照プリセンスアンプ103a, 103bを介して参照メインビット線RMBLa, RMBLbに接続される。ダミーセレクトゲート102a, 102bは、センスアンプ回路から見てビット線セクタ102と等価な負荷となるように設けられており、読み出し時同時にオン駆動されるゲートトランジスタにより構成される。参照プリセンスアンプ103a, 103bはプリセンスアンプ103と基本的に同様の構成とする。但し、書き込みデータ転送用のNMOSトランジスタMN2は、参照メインビット線RMBLa, RMBLbではなく、参照データ書き込み用のデータ線DR1, DR0に接続される。

【0050】

二つの参照プリセンスアンプ103a, 103bの読み出し用のNMOSトランジスタMN1は共通に、読み出し選択信号RSdにより駆動される。同様に書き込み用のNMOSトランジスタMN2は共通に、書き込み選択信号WSdにより駆動される。

【0051】

参照メインビット線RMBLa, RMBLbはそれぞれ、参照クランプ回路44a, 44bを介して、二つのメインセンスアンプ104の参照ノードN2a, N2bに接続される。参照クランプ回路44a, 44bは、クランプ回路44と同様の構成とする。二つの参照ノードN2a, N2bは共通接続されて実質ひとつの参照ノードN2となる。この参照ノードN2には二つのダイオード接続された負荷PMOSトランジスタMP2a, MP2bが接続される。これらの負荷PMOSトランジスタMP2a, MP2bは、負荷PMOSトランジスタMP1と同じサイズで、同じ電流駆動能力をもつ。二つの負荷PMOSトランジスタMP2a, MP2bに代わって、センスノードN1側の負荷PMOSトランジスタMP1の2倍の電流駆動能力を持つひとつの負荷PMOSトランジスタを用いてもよい。

【0052】

以上により、二つの負荷PMOSトランジスタMP2a, MP2bには、二つの参照セルRMC1, RMC0のセル電流を加算して1/2した電流が流れる。

具体的に図9には、参照電圧発生回路130とこれを共有する二つのセンスアンプ回路系について、読み出し時の電流を示している。即ち図9に示す二つのセルユニットMU内で一つずつのメモリセルが選択されて、セル電流 I_{cell1} , I_{cell2} が流れるものとする。このとき、対応するメインセンスアンプ104の負荷PMOSトランジスタMP1には、前述したようにそれぞれ、 $(h_{FE} + 1) I_{cell1}$, $(h_{FE} + 1) I_{cell2}$ なる電流が流れる。

【0053】

参照電圧発生回路130内ではこのとき、参照セルRMC1, RMC0が同時に選択され、これらにそれぞれセル電流 I_1 , I_0 が流れる。これらのセル電流 I_1 , I_0 は、 $RSd = "H"$ によって選択されて、参照プリセンスアンプ103a, 103bにより増幅され、参照メインビット線RMBLa, RMBLbを介して参照ノードN2a, N2bに転送される。参照ノードN2a, N2bは共通接続されているから、二つの負荷PMOSトランジスタMP2a, MP2bにはそれぞれ、 $(h_{FE} + 1) (I_0 + I_1) / 2$ なる電流が流れる。これにより、参照ノードN2a, N2bには、データ“1”, “0”の読み出し電圧の中間値の参照電圧VSARが得られる。

【0054】

参照セルRMC1, RMC0へのデータ書き込みは、データ線DR1, DR0を介して参照セルRMC1, RMC0に同時に書き込みデータを転送して行われる。即ちデータ線RD1, RD0に与えられたデータ“1”, “0”の書き込み電圧は、 $WSd = "H"$ により駆動されるNMOSトランジスタMN2を介してそれぞれ参照セルRMC1, RMC0に与えられる。これにより、参照セルRMC1, RMC0にデータ“1”, “0”が書かれる。

【0055】

以上のようにこの実施の形態によると、バイポーラトランジスタを用いたプリセンスアンプによってセル電流を増幅することにより、センス感度の向上及び、読み出し時間の短縮が可能になる。具体的に実施の形態のセンスアンプ回路は、バイポーラトランジスタとCMOS回路を組み合わせたいわゆるBiCMOS回路により構成している。BiCMOS技術は従来より知られており、またセンス

アンプにバイポーラトランジスタを用いる技術も前述したように知られている。しかし、バルク半導体を用いて形成されたメモリにBiCMOS技術を適用した場合には、ラッチアップ対策が不可欠になる。しかもラッチアップを防止とするためには、例えばバイポーラトランジスタ領域とCMOS回路領域の間を確実に分離する素子分離領域を設けることが必要である。従って、レイアウト面積が大きなものになってしまう。

【0056】

これに対してこの実施の形態では、SOI基板を用いたFBCメモリにBiCMOS技術を適用している。SOI基板を用いることによって、図6からも明らかのように、バイポーラトランジスタは、周囲のCMOS回路からは絶縁分離される。このためラッチアップは問題にならず、広い素子分離領域も必要としない。従って、FBCメモリにBiCMOS技術を適用することによって、高集積化と高速化を効果的に実現することが可能になる。

【0057】

センスアンプ回路系の他の構成例をいくつか説明する。図2は、図1のセンスアンプ回路におけるビット線セクタ102の機能を、プリセンスアンプ103内に一体に組み込んだ例である。即ち各セルユニットMU_i内のサブビット線SBL（図の例では2本）とセンス用トランジスタQPのベースとの間にそれぞれ読み出し用のNMOSTランジスタMN11, MN12が配置される。これらのNMOSTランジスタMN11, MN12は、異なる読み出し用選択信号RS11, RS12, …RS_n1, RS_n2により駆動される。

【0058】

同様にメインビット線MBLと各セルユニットMU_i内のサブビット線SBLの間にそれぞれ書き込み用のNMOSTランジスタMN21, MN22が配置される。これらのNMOSTランジスタMN21, MN22は、異なる書き込み用選択信号WS11, WS12, …WS_n1, WS_n2により駆動される。

これにより、プリセンスアンプ103は、ビット線セクタの機能を有することになる。

【0059】

図3は、一つのメインセンスアンプ104に対して、マトリクス状にセルユニット MU_{ij} ($i=1\sim m$, $j=1\sim n$) が配列される例を示している。この場合も、プリセンスアンプ103は、各セルユニット MU_{ij} 毎に設けられる。

図4は、図3とは反対に、一つのセルユニット MU に対して一つのプリセンスアンプ103と一つのメインセンスアンプ104を用いる例である。

【0060】

この発明において、センスアンプ回路系以外の回路にBiCMOS技術を適用することも有用である。例えば図10及び図11は、ロウデコーダ105にBiCMOS回路を適用した例を示している。ロウデコーダ105は、デコードゲート回路51と、そのデコード出力によりワード線を駆動するワード線ドライバ52により構成される。

【0061】

図10においては、ワード線ドライバ52のプルアップ回路が、PMOSトランジスタMP51とPNPバイポーラトランジスタQP51のダーリントン接続により、プルダウン回路がNMOSトランジスタMN51とPNPバイポーラトランジスタQP52のダーリントン接続によりそれぞれ構成されている。PMOSトランジスタMP51、NMOSトランジスタMN51はそれぞれ、PNPトランジスタQP51、QP52のコレクタ・ベース間に介在し、ゲートが共通にデコードゲート回路51の出力により駆動される。

【0062】

図11では、出力回路にNPNバイポーラトランジスタQN51、QN52を用いている他、図10と同じである。これらのバイポーラトランジスタQP51、QP52、QN51、QN52は、センスアンプ回路系のそれと同様に、SOI基板上のシリコン層にラテラルトランジスタとして構成される。

【0063】

メモリを大容量化すると、ワード線の容量は大きくなる。その様なワード線を高速に駆動するためには、ロウデコーダのワード線ドライバが大きな駆動能力を持つことが必要である。従来のようにロウデコーダをMOSトランジスタのみで構成すると、図22に示すように、ワード線ドライバは、トランジスタサイズを

次第に大きくした複数段のインバータにより構成することが必要になり、従って大きなチップ面積を占有する。

【0064】

これに対して図10或いは図11に示すように、BiCMOS技術を適用すると、MOSトランジスタMP51, MN51のドレイン電流をバイポーラトランジスタQP51 (QN51), QP52 (QN52)により増幅して、大きな駆動電流を得ることができる。従って、MOSトランジスタのみで構成する場合に比べて、ワード線ドライバを比較的小さい面積に形成してしかもワード線駆動の高速性を確保することが可能になる。

【0065】

この発明は、上記実施の形態に限られるものではない。例えば実施の形態では、メモリセルがNMOSトランジスタ構造の例を説明したが、PMOSトランジスタ構造を用いることもできる。PMOSトランジスタ構造のメモリセルの場合には、各回路要素のPMOSトランジスタ、NMOSトランジスタを逆にすると同時に、プリセンスアンプのバイポーラトランジスタにはNPNトランジスタを用い、電圧関係を実施の形態とは逆にすればよい。

その他この発明は、その趣旨を逸脱しない範囲で種々変形して実施することが可能である。

【0066】

【発明の効果】

この発明によれば、SOI基板に形成された1トランジスタ/1セル構造のメモリセルを持つ、高速読み出し可能な半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】

この発明の実施の形態によるFBCメモリのセンスアンプ回路の構成を示す図である。

【図2】

センスアンプ回路の他の構成例を示す図である。

【図3】

センスアンプ回路の他の構成例を示す図である。

【図 4】

センスアンプ回路の他の構成例を示す図である。

【図 5】

センスアンプ回路の動作を説明するための図である。

【図 6】

プリセンスアンプ部の断面構造を示す図である。

【図 7】

プリセンスアンプに用いられるバイポーラトランジスタの電流増幅率特性を示す図である。

【図 8】

メインセンスアンプのクランプ回路に用いられる参照電圧発生回路の構成を示す図である。

【図 9】

メインセンスアンプの参照ノードに接続される参照電圧発生回路の構成を示す図である。

【図 1 0】

ロウデコーダの構成例を示す図である。

【図 1 1】

ロウデコーダの他の構成例を示す図である。

【図 1 2】

メモリセルアレイのレイアウトを示す図である。

【図 1 3】

図 1 2 の I - I ' 断面図である。

【図 1 4】

図 1 2 の II - II ' 断面図である。

【図 1 5】

図 1 2 の III - III ' 断面図である。

【図 1 6】

メモリセルアレイの等価回路である。

【図 17】

メモリセルのデータ“1”書き込みの原理を示す図である。

【図 18】

メモリセルのデータ“0”書き込みの原理を示す図である。

【図 19】

メモリセルの読み出し原理を示す図である。

【図 20】

メモリセルの電流特性を示す図である。

【図 21】

メモリチップの構成を示す図である。

【図 22】

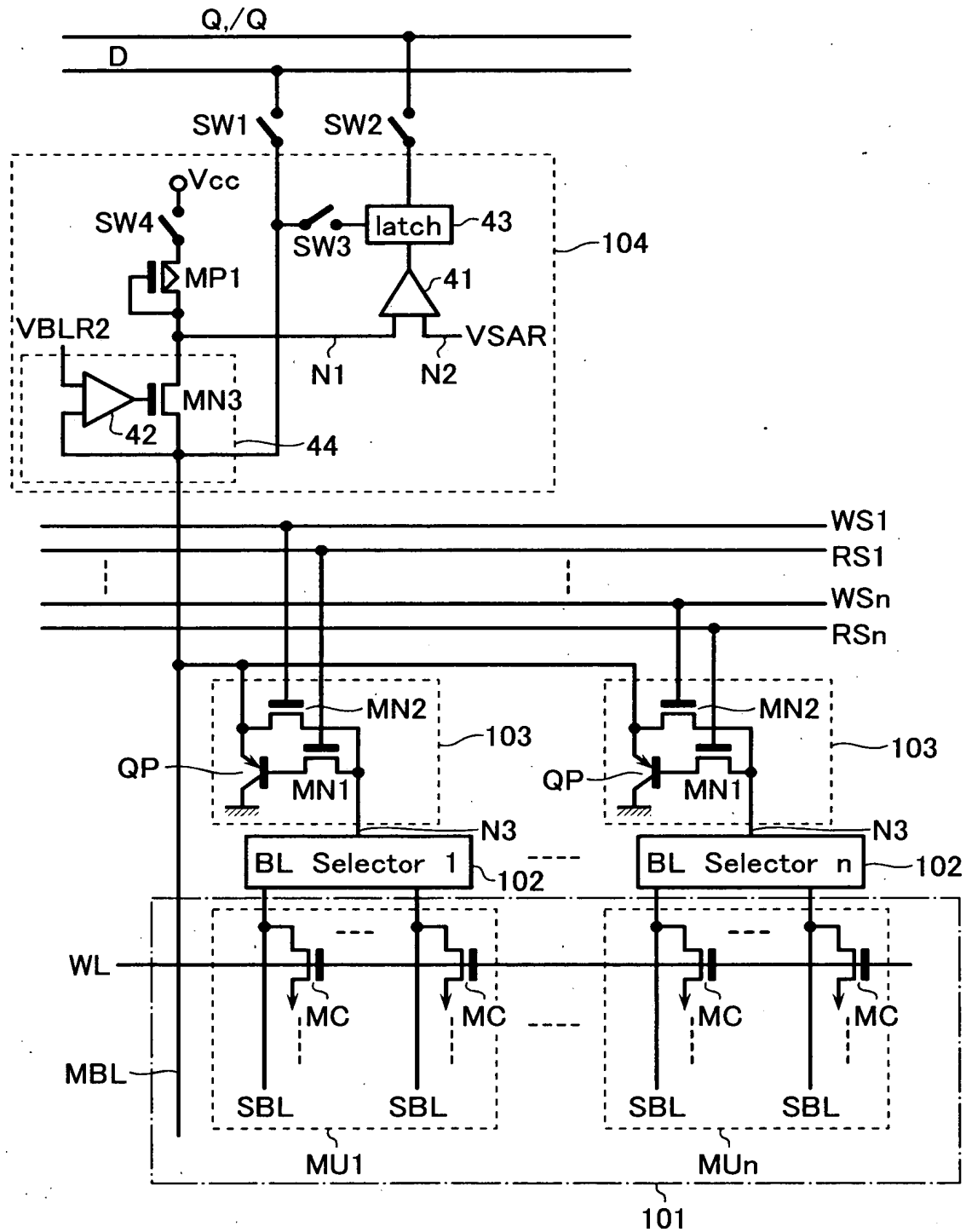
従来のロウデコーダの構成を示す図である。

【符号の説明】

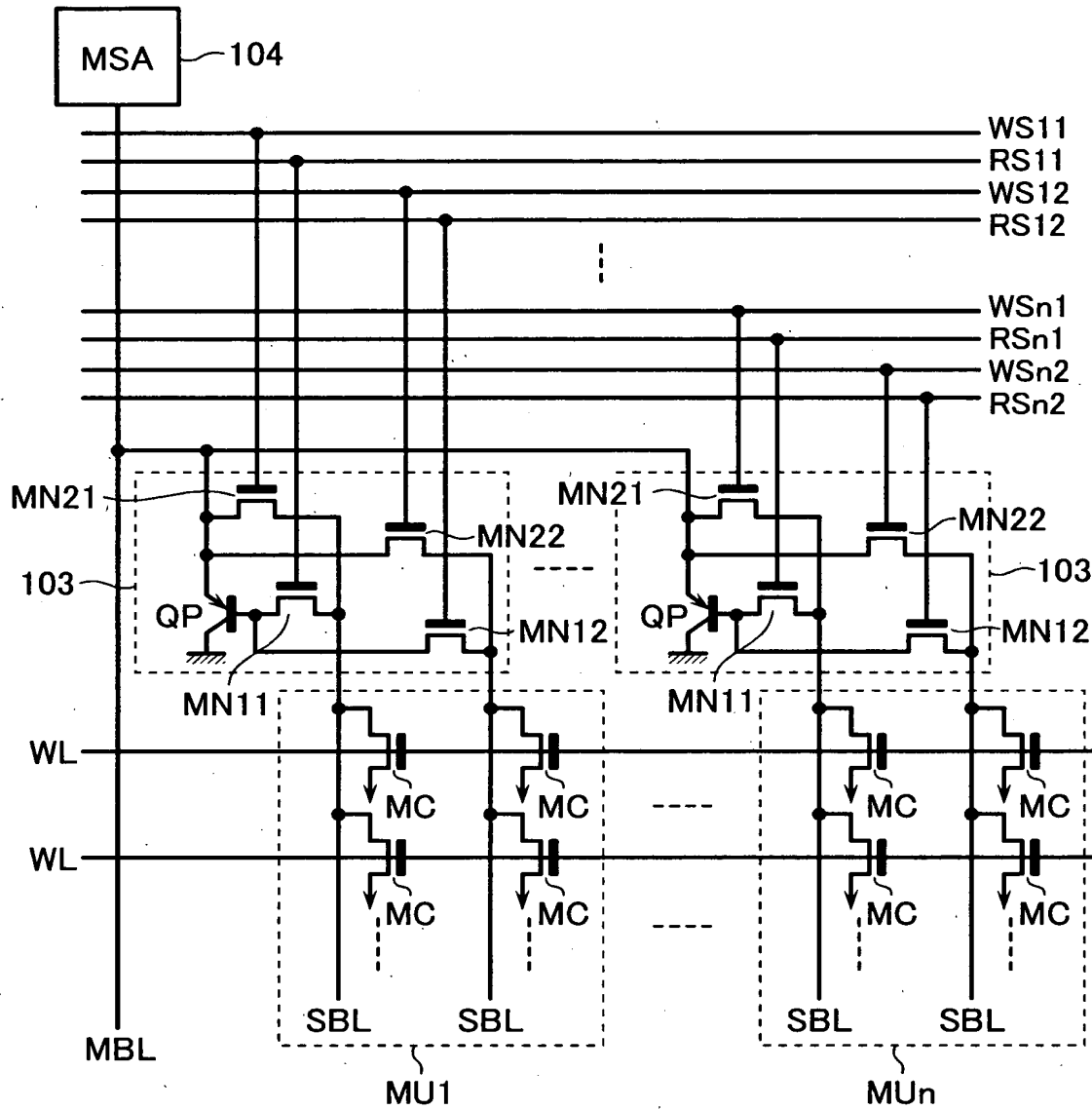
10…シリコン基板、11…N⁺型層、12…絶縁層、13…P型シリコン層、14…層間絶縁膜、15…ゲート電極（ワード線）、16a, 16b…ソース、ドレイン、17…層間絶縁膜、18…コンタクト、19…ビット線、20…N⁺ポリシリコン・ピラー、21…ソース線、100…メモリチップ、101…メモリセルアレイ、102…ビット線セレクタ、103…プリセンスアンプ、104…メインセンスアンプ、105…ロウデコーダ、106…ロウアドレスバッファ、107…プリデコーダ、108…カラムアドレスバッファ、109…データ入力バッファ、110…データ出力バッファ、111…オフチップドライバ、112…電圧発生回路、113…コントローラ、MU_i…セルユニット、MC…メモリセル、QP…PNPトランジスタ、MN1…読み出し用NMOSTランジスタ、MN2…書き込み用NMOSTランジスタ、41, 42…オペアンプ、43…データラッチ、44…クランプ回路、MN3…クランプ用NMOSTランジスタ、MP1, MP2a, MP2b…負荷PMOSTランジスタ、N1…センスノード、N2…参照ノード。120…クランプ回路用参照電圧発生回路、130…センスアンプ用参照電圧発生回路。

【書類名】 図面

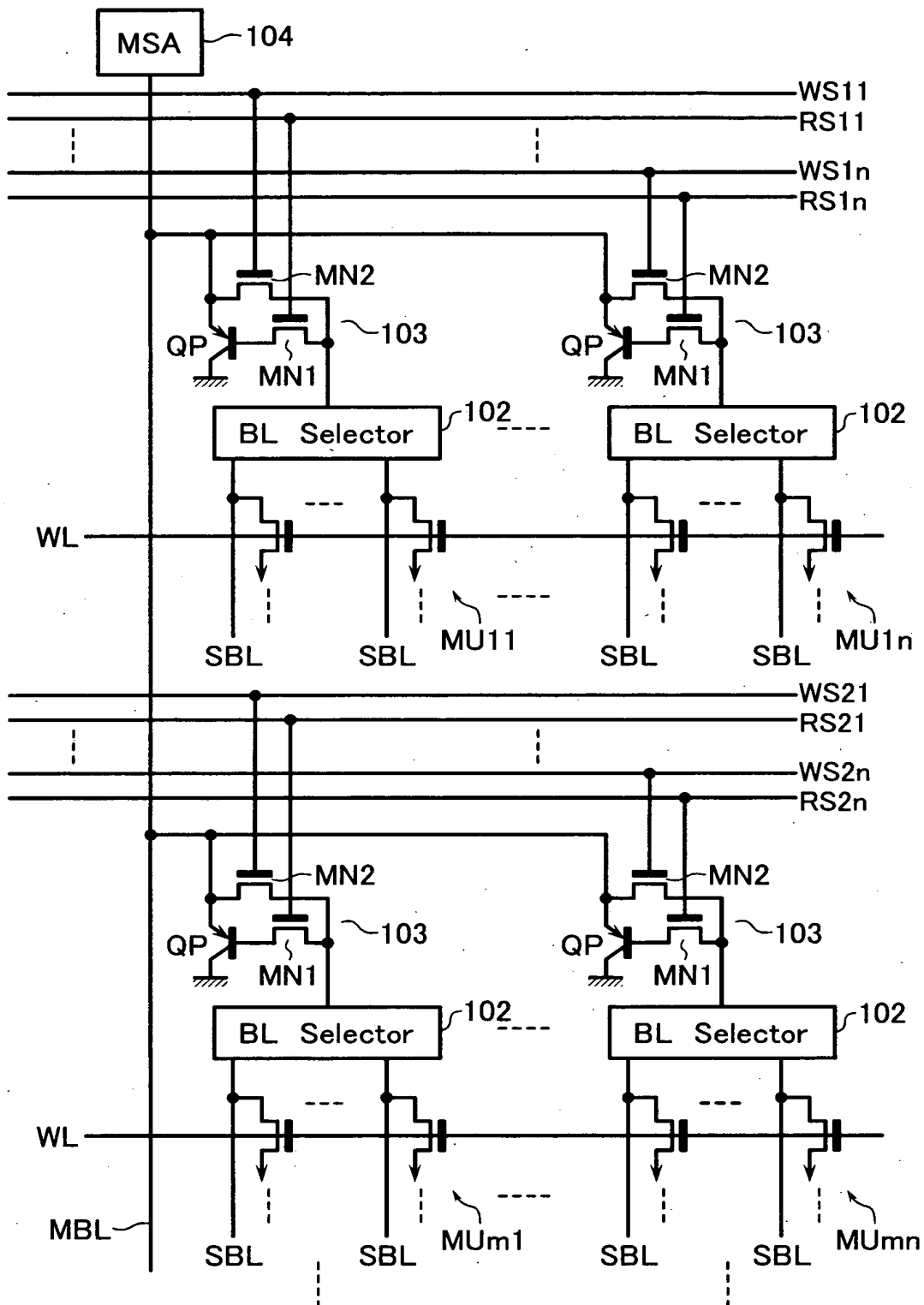
【図 1】



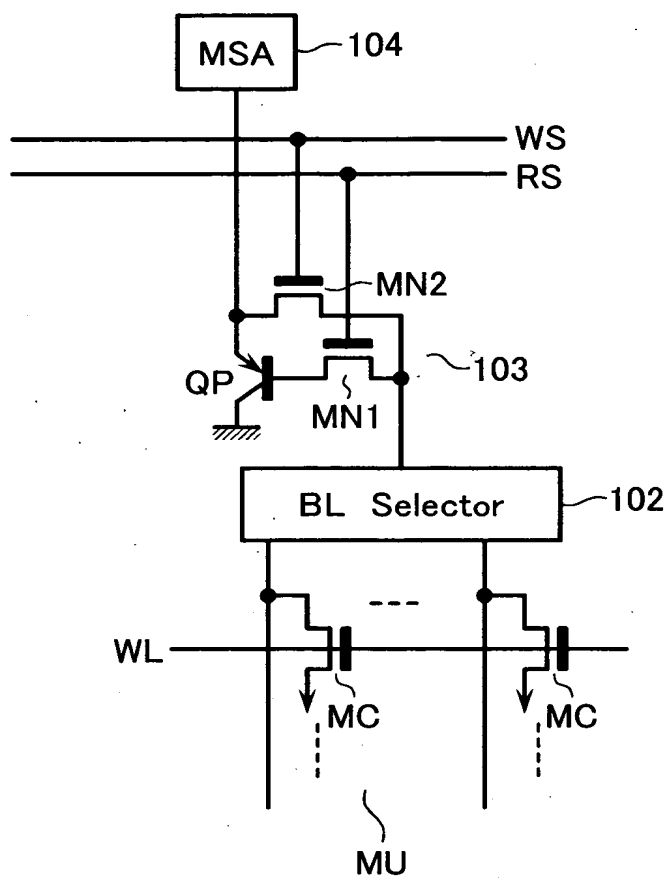
【図2】



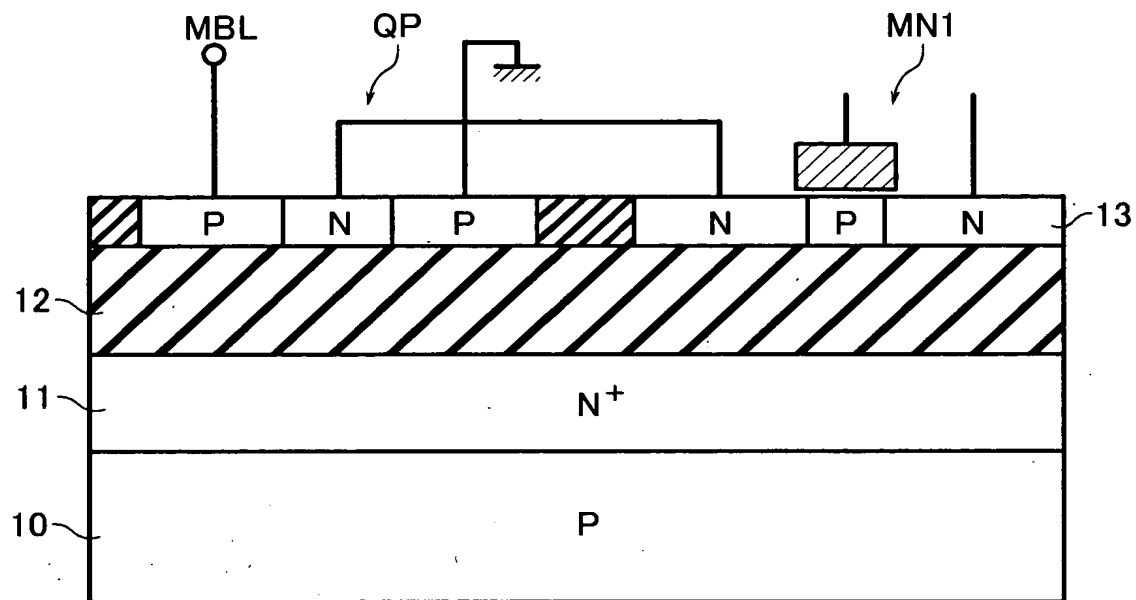
【図 3】



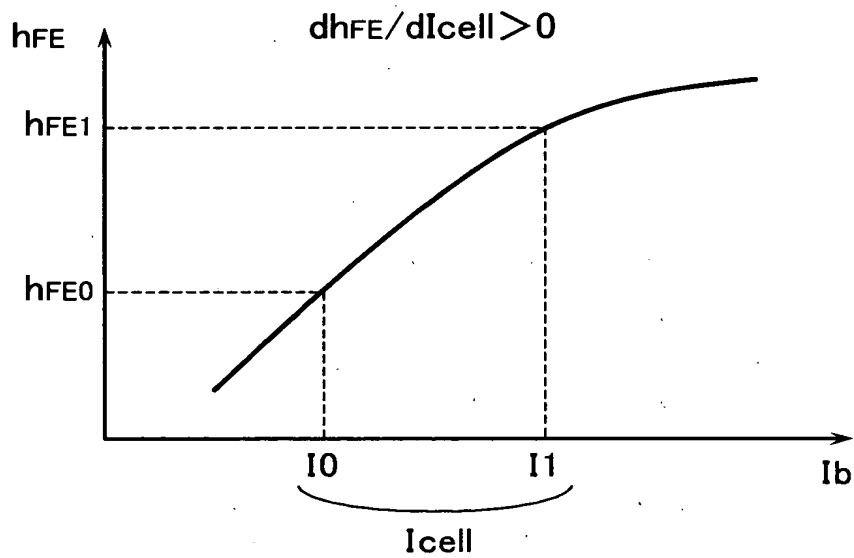
【図4】



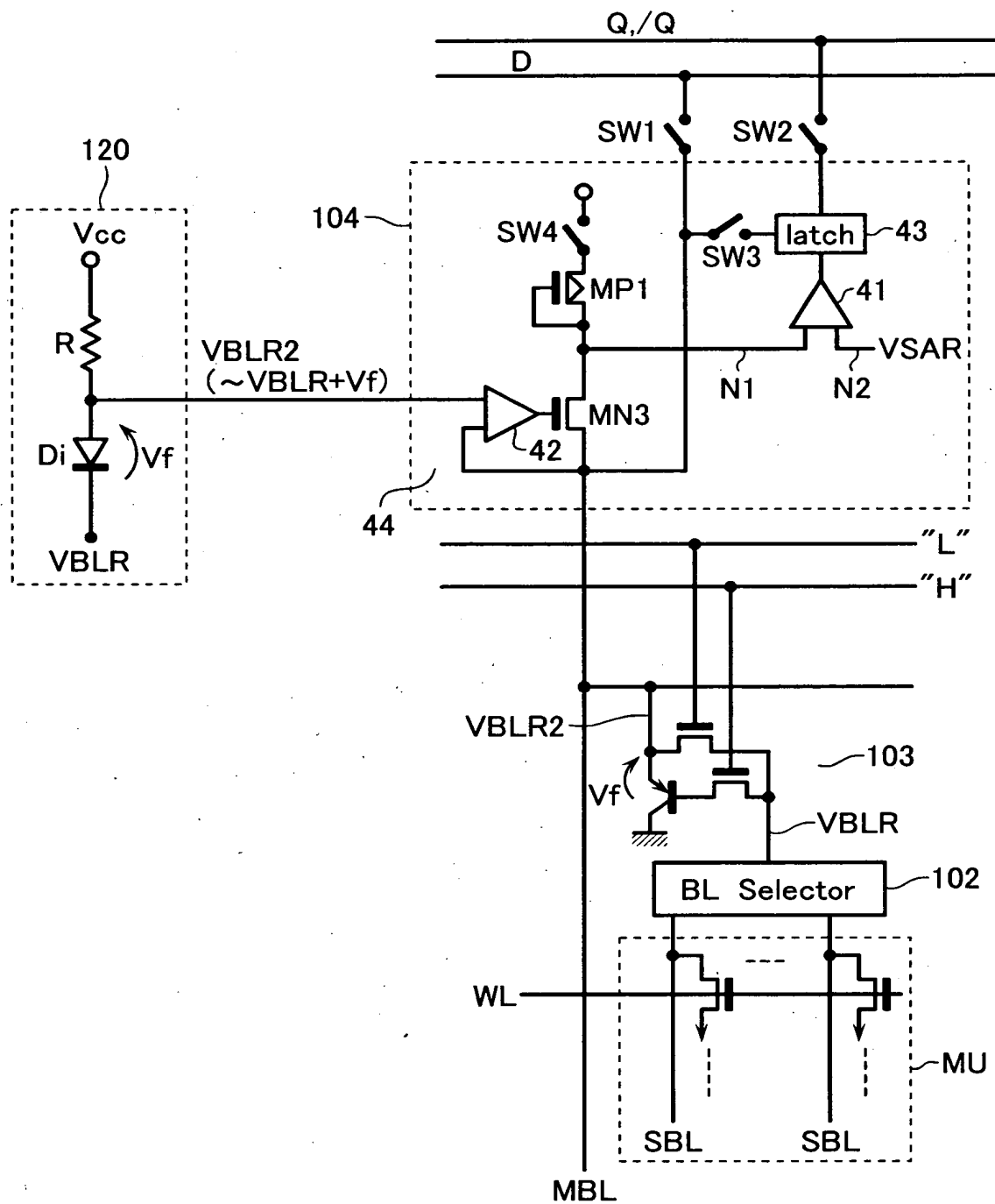
【図 6】



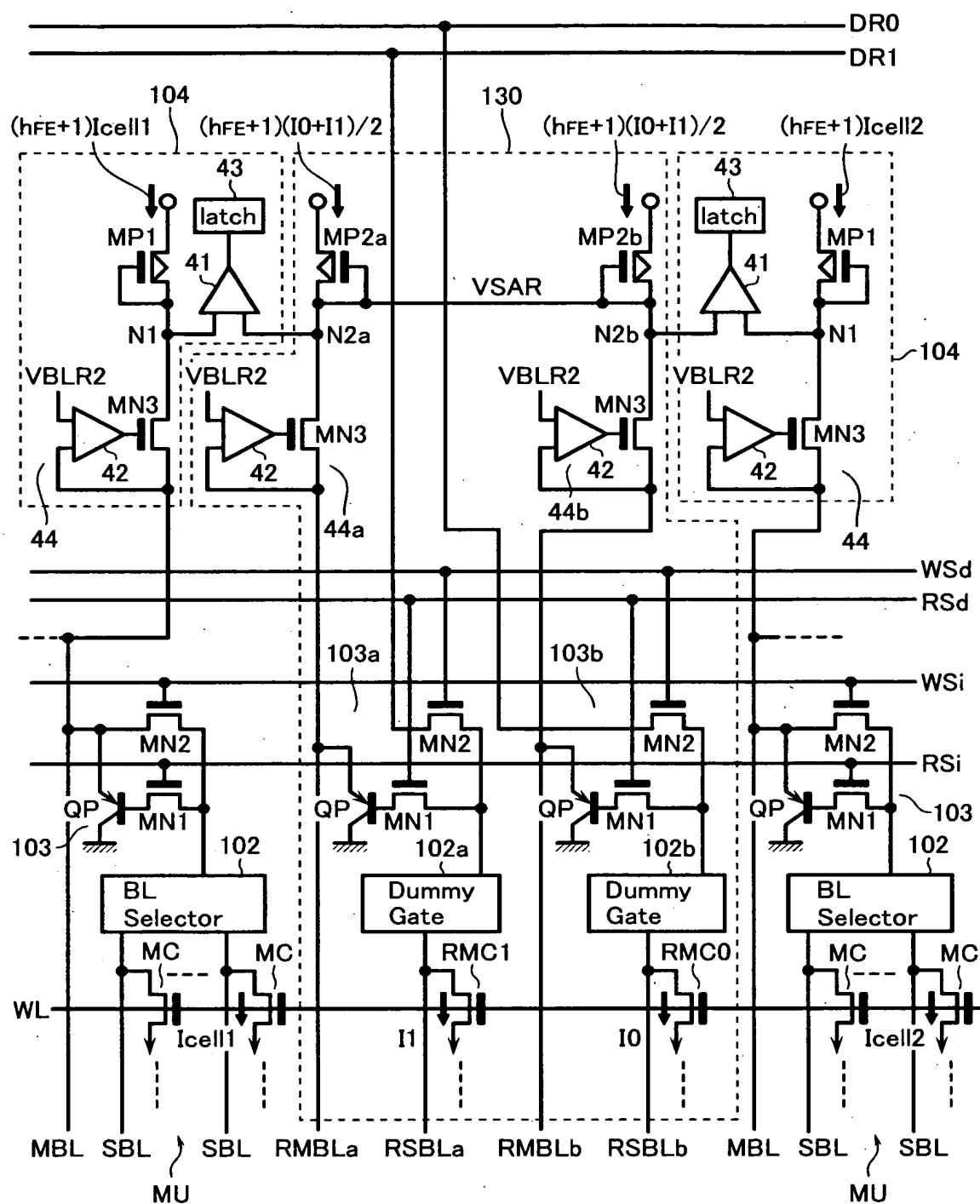
【図 7】



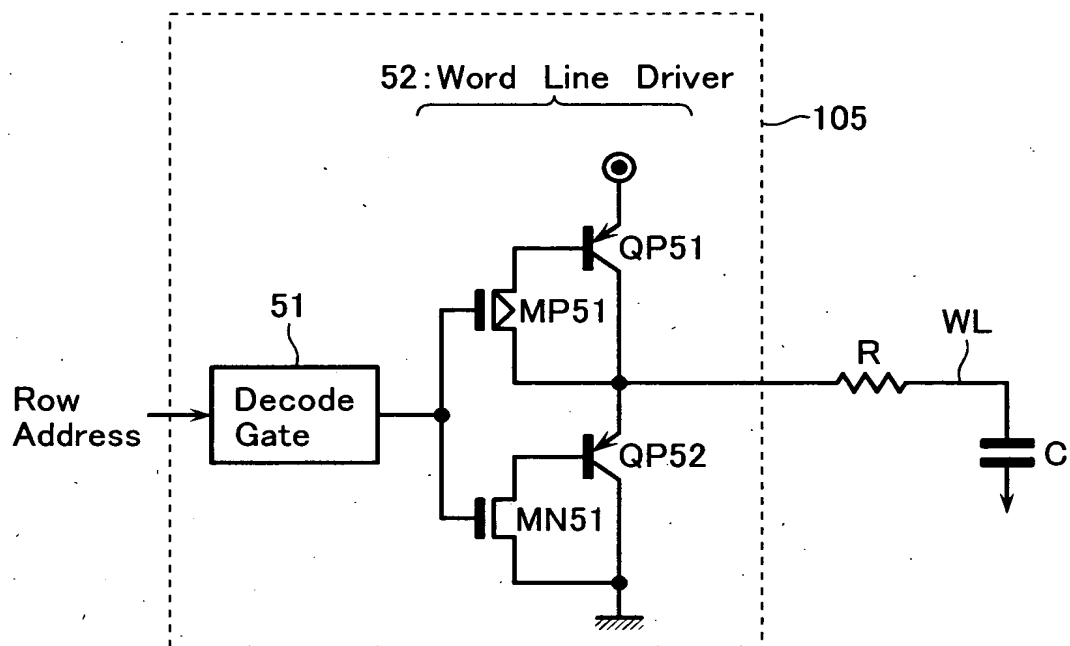
【图 8】



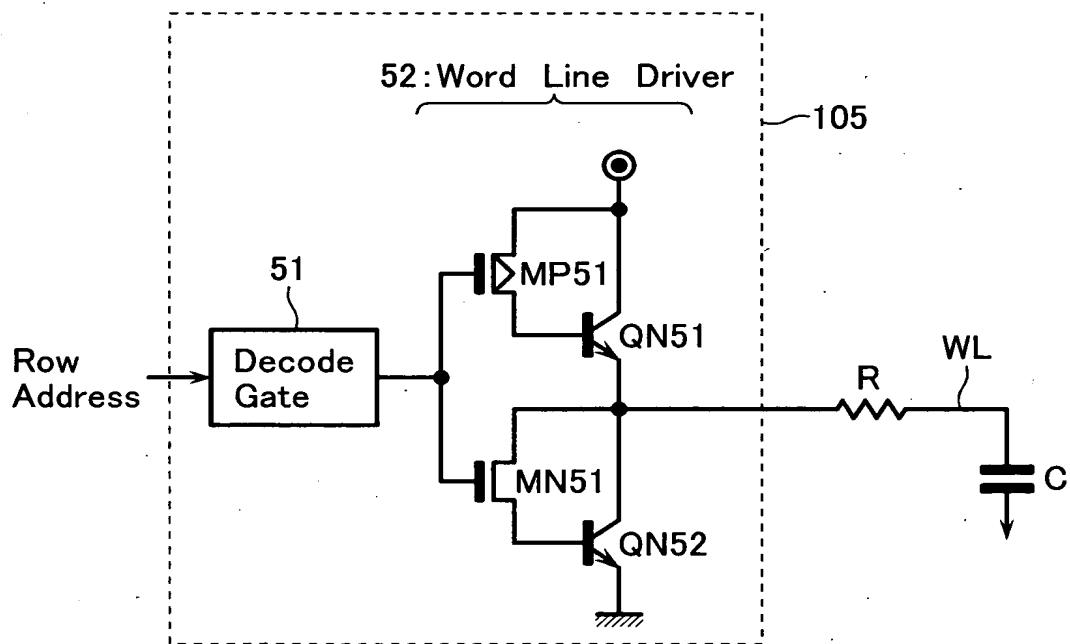
【図 9】



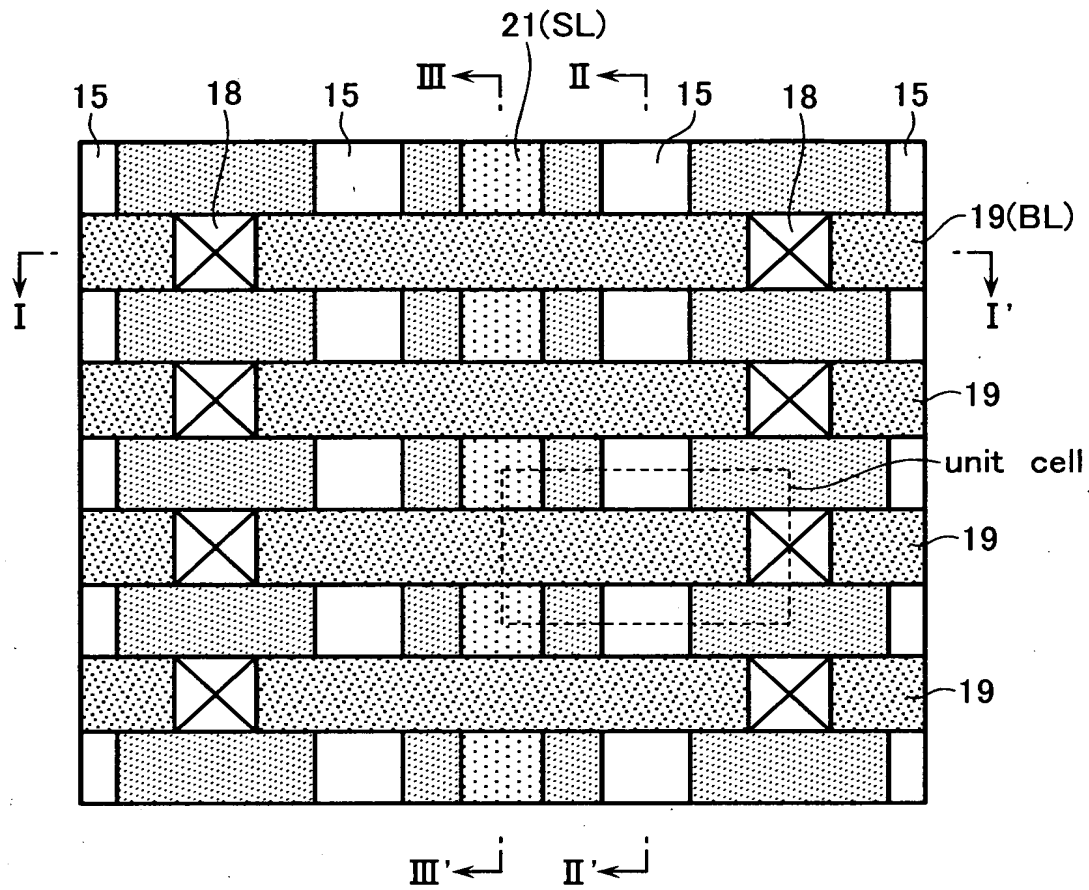
【図10】



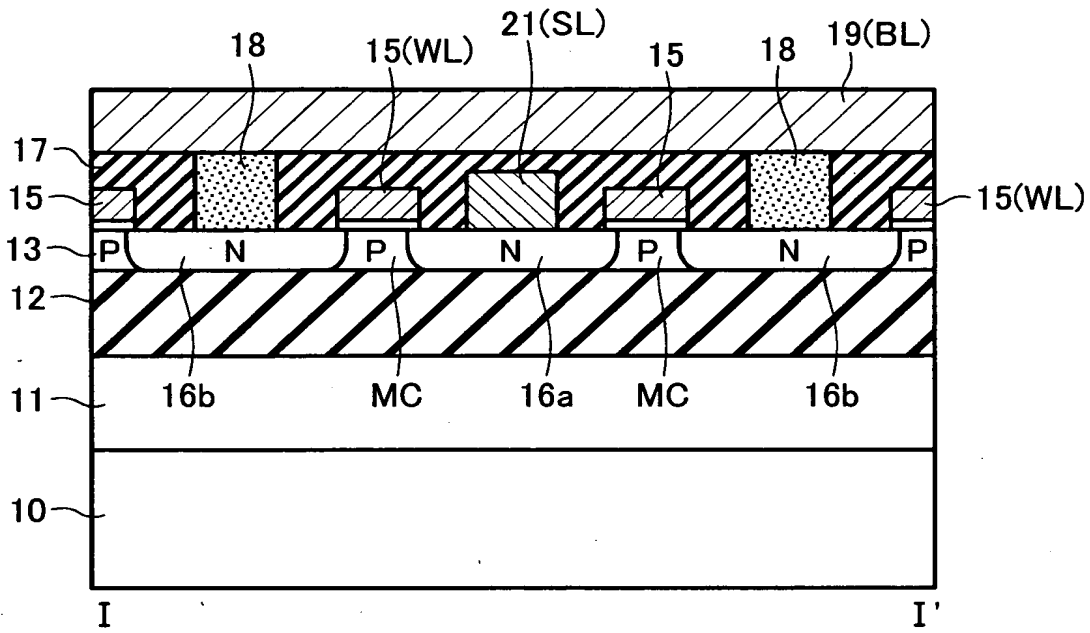
【図11】



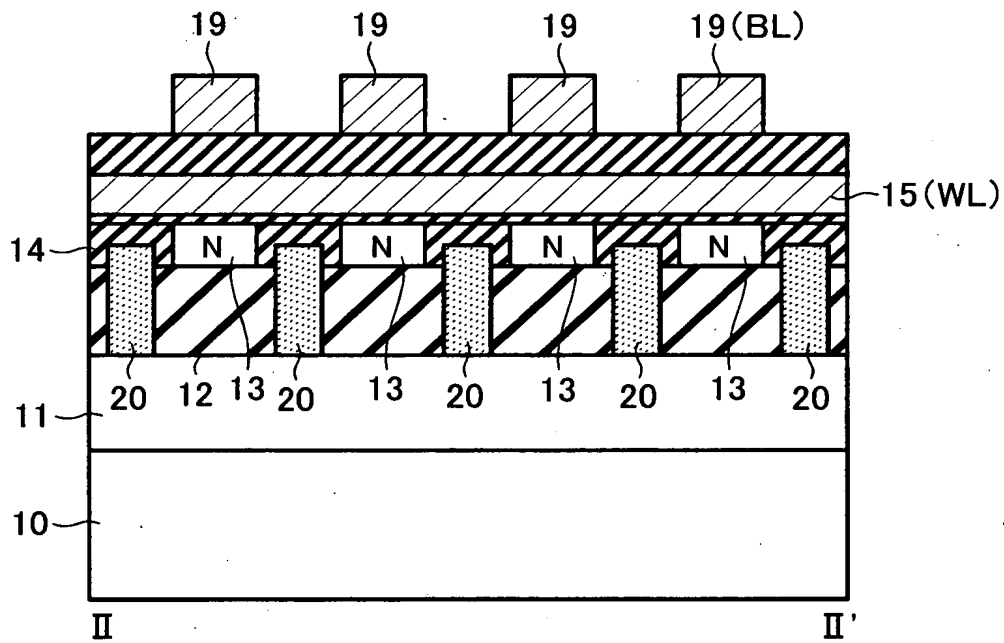
【図 1 2】



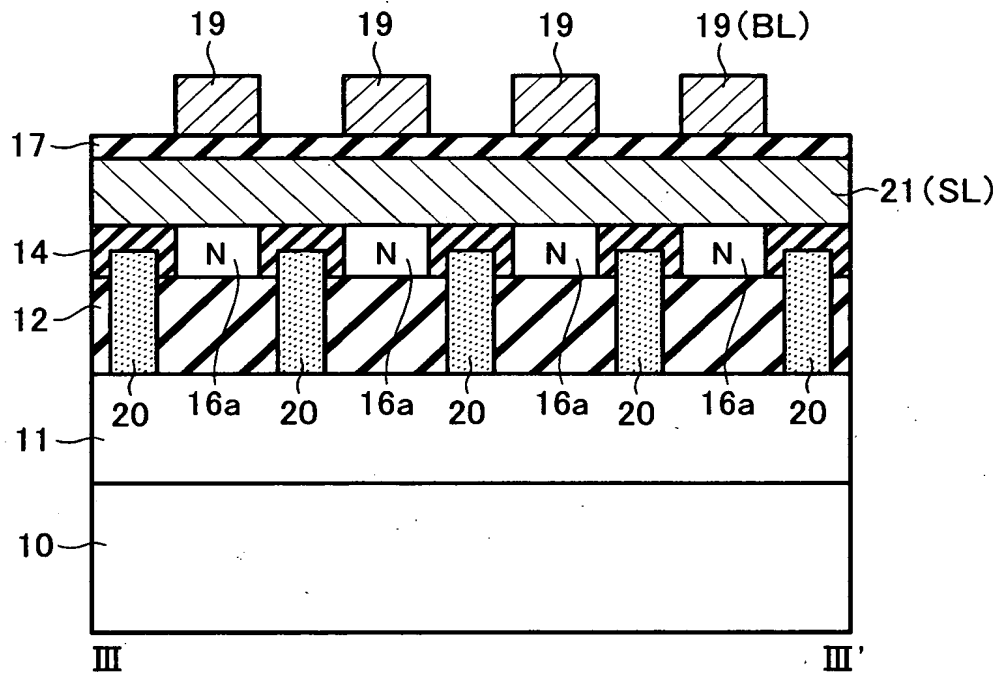
【図 1 3】



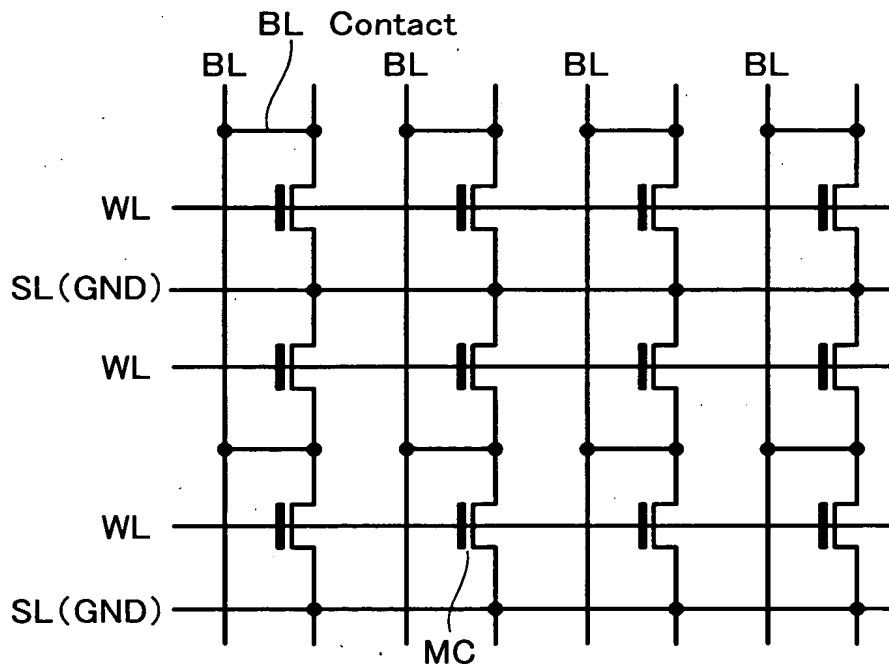
【図 1 4】



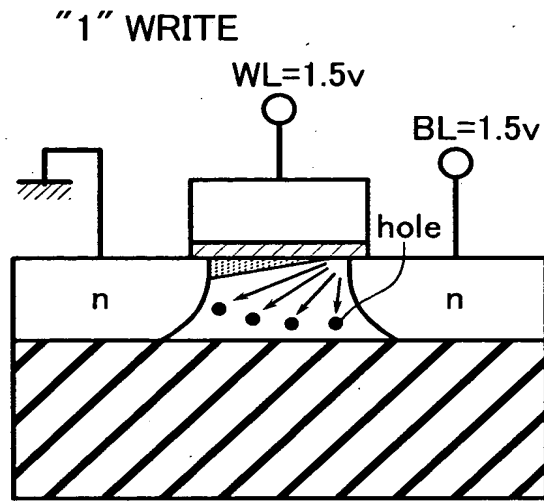
【図 15】



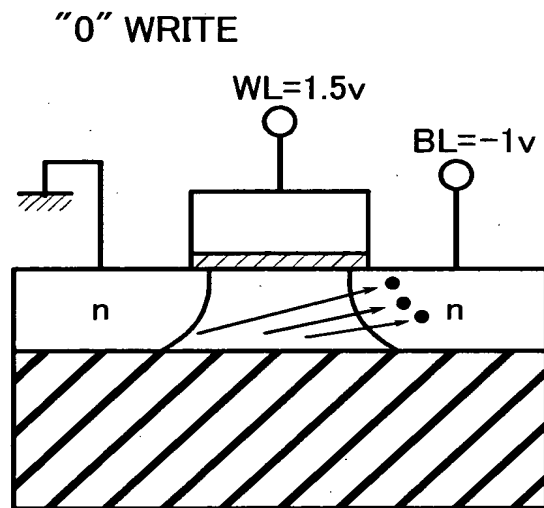
【図 16】



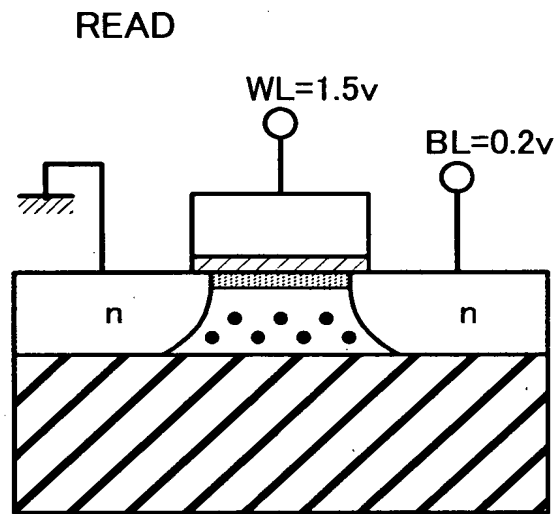
【図17】



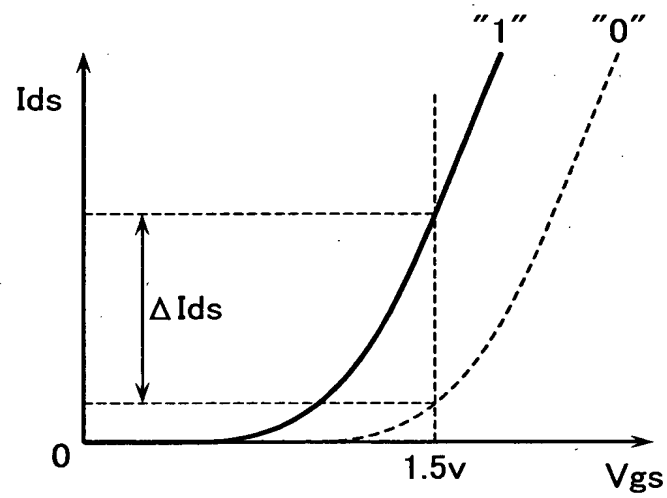
【図18】



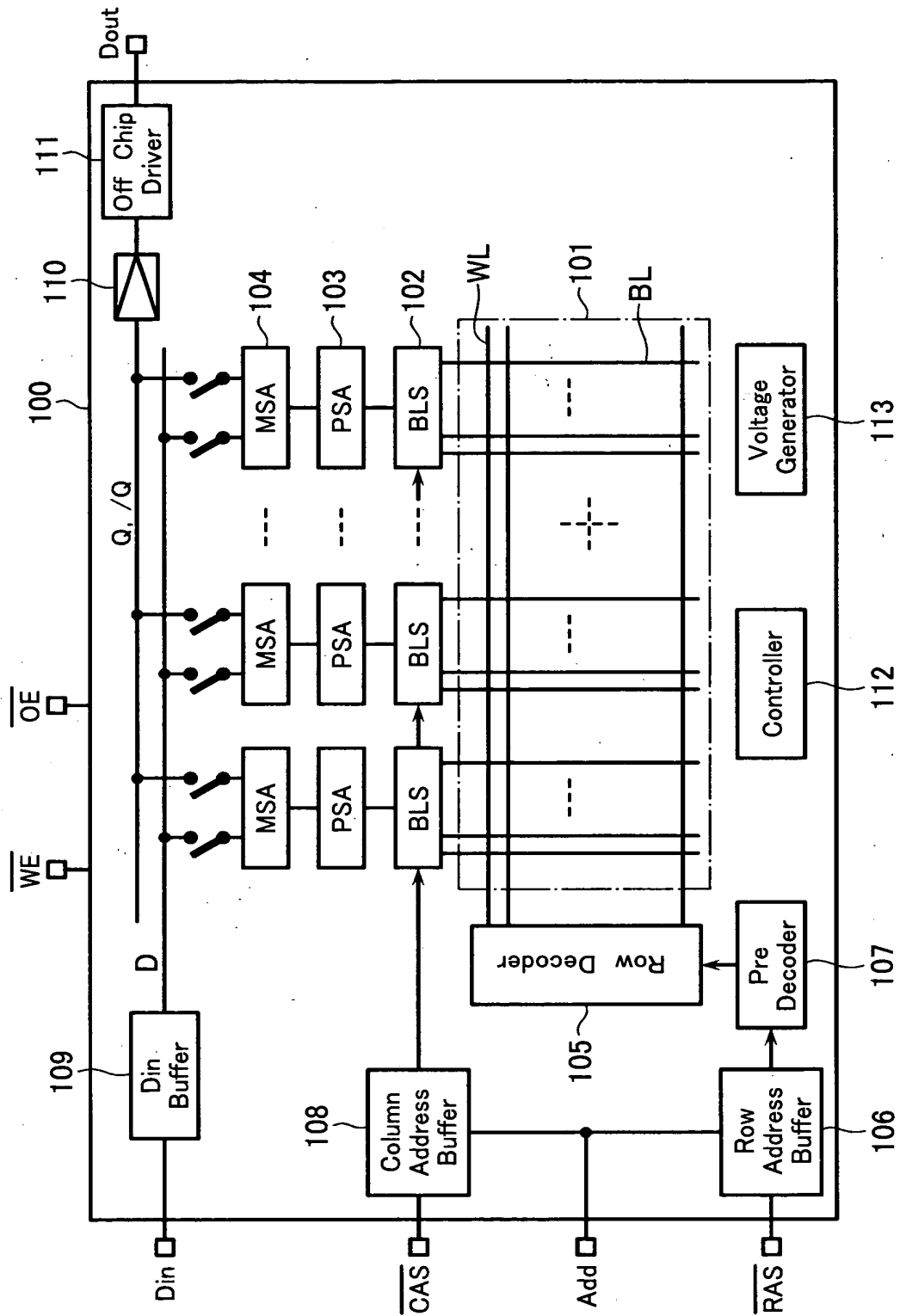
【図 19】



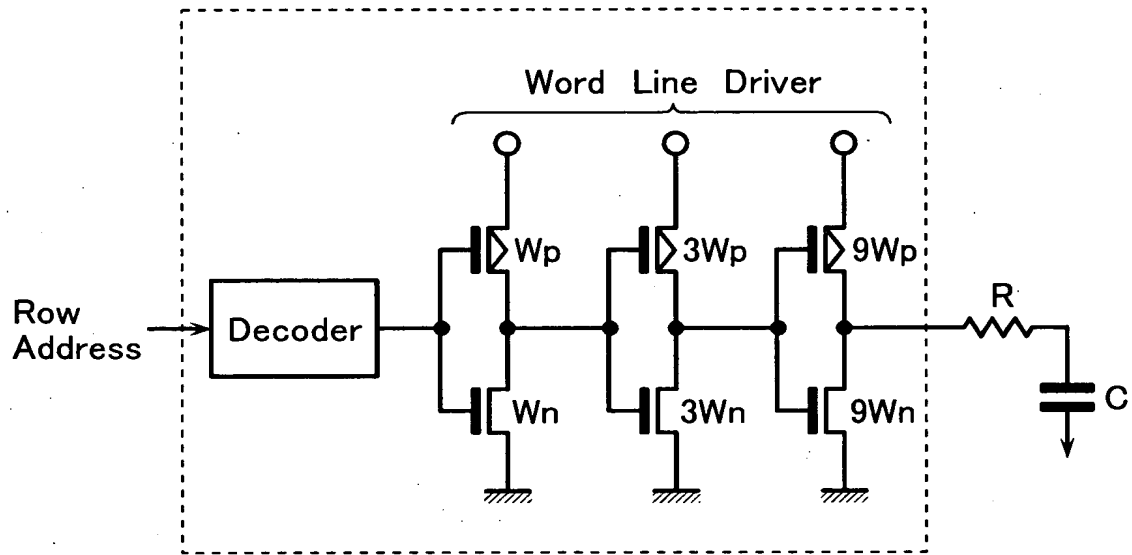
【図 20】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 S O I 基板に形成された 1 トランジスタ / 1 セル構造のメモリセルを持つ、高速読み出しが可能な半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、絶縁層により下地基板と分離された半導体層を有する素子基板と、前記素子基板の半導体層に配列形成された複数のメモリセルを有し、各メモリセルはフローティング状態のボディを持つ M O S トランジスタ構造を有し、そのボディの多数キャリア蓄積状態によりデータを記憶するメモリセルアレイと、前記メモリセルアレイのデータ読み出しを行うための、読み出し時選択されたメモリセルの電流増幅を行うバイポーラトランジスタを含むセンスアンプ回路とを有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝